


Frequency modulator with PLL for transmitting optionally NRZ data signals or voice signals

Patent number: DE3836822
Publication date: 1990-05-03
Inventor: FRITZMANN MARTIN DIPL ING (DE)
Applicant: OLYMPIA AEG (DE)
Classification:
- **international:** H03L7/06; H04L27/12
- **european:** H03C3/09A; H04L27/12B
Application number: DE19883836822 19881028
Priority number(s): DE19883836822 19881028

Also published as:

 PT91023 (B)

Report a data error here

Abstract of DE3836822

This frequency modulator has a voltage-controlled oscillator which is controlled by a phase-locked loop which contains a dual-modulus frequency divider, the division ratio of which is adjustable and which consists of an adjustable N divider, an adjustable A divider and an adjustable dual-modulus prescaler which can be driven by the A divider. The A and the N dividers can be serially loaded. In the feedback from the output of the A divider to the control input of the dual-modulus prescaler, an edge control is provided which, when NRZ data signals are transmitted, delays the positive or negative edge of the output signal of the A divider, which is used as modulus control signal, by at least one period of the prescaler output signal and supplies the modulus control signal modified in this manner to the control inputs of the prescaler and, when voice signals are transmitted forwards the modulus control signal unchanged.

Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USP 10)



E4

DE 3836822 C2

①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ Patentschrift
⑩ DE 38 36 822 C 2

⑤1 Int. Cl.⁵:
H 04 L 27/12
H 03 L 7/06
H 03 C 3/00
H 04 B 14/02

②1 Aktenzeichen: P 38 36 822.6-31
②2 Anmeldetag: 28. 10. 88
④3 Offenlegungstag: 3. 5. 90
④5 Veröffentlichungstag
der Patenterteilung: 9. 6. 93

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden.

⑦3 Patentinhaber:
AEG Mobile Communication GmbH, 7900 Ulm, DE

⑦4 Vertreter:
Körner, E., Dipl.-Ing., Pat.-Anw., 8000 München

⑦2 Erfinder:
Fritzmann, Martin, Dipl.-Ing. (FH), 7918 Illertissen, DE

⑤6 Für die Beurteilung der Patentfähigkeit
in Betracht gezogene Druckschriften:
DIEULEVEULT, F. de: Deux circuits spécialisés pour
la synthèse de fréquence. In: Toute l' Electronique,
191, Nr.468 (November), S.23;

⑤4 Frequenzmodulator mit PLL zur Übertragung von wahlweise NRZ-Datensignalen oder Sprachsignalen

DE 3836822 C2

Beschreibung

Die Erfindung bezieht sich auf einen Frequenzmodulator gemäß Oberbegriff des Patentanspruchs 1.

Für die Übertragung von i.a. bandbegrenzten wahlweise NRZ (No-Return-to-Zero) -Datensignalen oder Sprachsignalen wurde bereits ein Frequenzmodulator vorgeschlagen, der einen über eine Phasenregelschleife geregelten und direkt modulierten, spannungsgesteuerten Oszillator (VCO) enthält und dessen Blockschaltbild in Fig. 1 gezeigt ist.

Wie aus der Figur ersichtlich ist, wird die Ausgangsfrequenz f_a des VCO über den Modulationseingang des VCO mit den NRZ-Datensignalen oder mit den Sprachsignalen direkt moduliert. Über eine Rückführung wird die Ausgangsfrequenz einem in seinem Teilverhältnis einstellbaren Dual-Modulus-Frequenzteiler zugeführt, dessen Ausgangssignal der Frequenz f_{1st} einem Phasendetektor PD zugeführt wird. Im Phasendetektor PD wird dieses Signal f_{1st} mit einem gegebenenfalls durch einen Referenz-Teiler R in seiner Frequenz geteilten Referenzsignal f_{ref} verglichen und aus diesem Vergleich eine Regelgröße abgeleitet, die in bekannter Weise einem Schleifenfilter SF zugeführt wird, das den VCO entsprechend regelt.

Der Dual-Modulus-Frequenzteiler besteht bekanntlich aus einem einstellbaren Dual-Modulus-Vorteiler V sowie aus einem einstellbaren N-Teiler und aus einem einstellbaren A-Teiler. Der Gesamtteilerfaktor N' berechnet sich zu $N \cdot P + A$, wobei N bzw. A jeweils der ganzzahlige Teilerfaktor des N-Teilers bzw. A-Teilers ist. P ist der kleinere der beiden möglichen ganzzahligen Teilerfaktoren P und $P + 1$ des Dual-Modulus-Vorteilers V.

PPL-Frequenzregelschleifen mit derartigen einstellbaren Frequenzteilern sind beispielsweise bekannt aus "Toute l'Electronique", Nov. 1981, Nr. 468, S. 23 bis 32.

Üblicherweise werden der N-Teiler N, der A-Teiler A und der Phasendetektor PD sowie gegebenenfalls auch der Referenzteiler R in einem integrierten Schaltkreis LSIP realisiert.

Es ist bekannt, daß Sprachmodulation nur bis zu einer gewissen unteren Grenzfrequenz möglich ist. Diese wird durch die Schleifenparameter festgelegt. Da bei Datenmodulation die Eins/Nullverteilung ungleichmäßig sein kann, wird ein Modulator benötigt, bei welchem kein Hochpaßverhalten auftritt.

Um die Ausgangsfrequenz auch in der Betriebsart NRZ-Datenmodulation zu halten, muß der Gesamtteilerfaktor der Regelschleife je nach Datenfolge gegenüber Sprachmodulation erforderlichenfalls geringfügig erhöht oder verringert werden. Dies ist möglich durch eine geringe Veränderung des Teilerfaktors A. Da Sprach- und Datensignale vorzugsweise in Blöcken von z. B. 100 ms Dauer ineinandergeschaltet übertragen werden, muß die Umschaltung des Teilerfaktors A sehr schnell erfolgen.

Bei der in Fig. 1 gezeigten Lösung wird der A-Teiler, der Datenfolge entsprechend, über die Steuerleitungen D1 und D2 eingestellt, um die Ausgangssollfrequenz f_a zu halten. Dieses Verfahren benötigt einen Dual-Modulus-Frequenzteiler, bei welchem die Teilerfaktoren parallel eingestellt werden können. Um diesen Frequenzteiler durch einen Mikroprozessor zu laden, benötigt man im Beispiel der Fig. 1 neunzehn Steuerleitungen für N-, A- und R-Teiler. Die Schnittstelle wird also sehr aufwendig. Bei Verwendung von billigen, seriell ladbaren Dual-Modulus-Frequenzteilern kann der A-Teilerfaktor

i.a. nicht schnell genug durch den Mikroprozessor umgeladen werden.

Die Aufgabe der Erfindung besteht darin, einen Frequenzmodulator der eingangs genannten Art zu schaffen, der mit möglichst wenig Materialaufwand realisierbar ist.

Die erfindungsgemäße Lösung ist im Patentanspruch 1 beschrieben, die übrigen Ansprüche enthalten vorteilhafte Aus- und Weiterbildungen der Erfindung sowie eine bevorzugte Anwendung der Erfindung.

Die erfindungsgemäße Lösung besteht darin, daß anstelle der bisher verwendeten, parallel zu ladenden N- und A-Teiler seriell ladbare N- und A-Teiler in Dual-Modulus-Frequenzteilern eingesetzt werden und zusätzlich in der Rückführung vom Ausgang des A-Teilers zum Steuereingang des Dual-Modulus-Vorteilers eine Flankensteuerung vorgesehen ist.

Die Änderung des Gesamtteilerfaktors in Abhängigkeit von der Signalart wird durch die Einstellung einer veränderlichen Flankenverzögerung im Ausgangssignal des A-Teilers bewirkt. Der Teilerfaktor des A-Teilers braucht bei Umschaltung der Signalart nicht verändert zu werden.

Bei der Übertragung von NRZ-Signalen verzögert die Flankensteuerung erfindungsgemäß die positive oder die negative Flanke des als Modulus-Control-Signals dienenden Ausgangssignals des A-Teilers um eine Periode des Ausgangssignals des Dual-Modulus-Vorteilers und führt dieses veränderte Modulus-Control-Signal dem Steuereingang des Dual-Modulus-Vorteilers zu.

Ein wesentlicher Vorteil der erfindungsgemäßen Lösung besteht darin, daß sie mit erheblich weniger Steuerleitungen auskommt als die bereits vorgeschlagene Lösung mit parallel ladbarem A- und N-Teiler.

Damit ist es möglich, zum einen die Schnittstelle zum Mikroprozessor einfacher und wenig aufwendig zu gestalten und zum anderen das erforderliche Volumen für den Digitalteil des Frequenzmodulators erheblich zu reduzieren, wodurch ein kompakter und kostensparender Aufbau des Modulators ermöglicht wird.

Ein weiterer Vorteil der erfindungsgemäßen Schaltung besteht darin, daß bei der eingangs erwähnten Realisierung eines Teils der Schaltung in Form eines integrierten Schaltkreises ein kleineres IC-Gehäuse verwendet werden kann, da insgesamt weniger Ausgänge an dem Gehäuse herausgeführt werden müssen.

Im folgenden wird die Erfindung anhand der Figuren näher erläutert. Es zeigen:

Fig. 1 das bereits diskutierte Blockschaltbild des bereits vorgeschlagenen Frequenzmodulators mit parallel ladbarem A- und N-Teiler,

Fig. 2 ein Blockschaltbild einer vorteilhaften Ausführungsform des erfindungsgemäßen Frequenzmodulators mit seriell ladbarem A- und N-Teiler und einer zusätzlichen Flankensteuerung,

Fig. 3 den zeitlichen Zusammenhang der Ein- und Ausgangssignale der Flankensteuerung gemäß Fig. 4 oder 5,

Fig. 4 und 5 bevorzugte Ausführungsformen der Flankensteuerung gemäß Fig. 2.

Der erfindungsgemäße Frequenzmodulator in Fig. 2 unterscheidet sich von dem bereits vorgeschlagenen Frequenzmodulator gemäß Fig. 1 dadurch, daß anstelle der parallel ladbaren N- und A-Teiler nunmehr seriell ladbare N- und A-Teiler verwendet werden und daß in der Rückführung vom Ausgang des A-Teilers zum Steuereingang des Dual-Modulus-Vorteilers V erfin-

dingungsgemäß die Flankensteuerung FST eingebaut ist. Die Zahl der erforderlichen Steuereingänge reduziert sich durch diese erfindungsgemäße Maßnahme von insgesamt 19 (9 Steuerleitungen für den N-Teiler, 3 für den R-Teiler und 7 für den A-Teiler in Fig. 1) auf nur 5, nämlich die Steuerleitungen Daten, Clock und Enable des seriellen Datenbusses sowie die Steuerleitung D1 und D2 für die Änderung des Gesamtteilerfaktors N' um +1 und -1 bei Übertragung von NRZ-Datensignalen oder 0 bei Übertragung von Sprachsignalen.

Wie Fig. 3 zeigt, wird die Änderung des Gesamtteilerfaktors N' um +1 oder -1 durch die Flankensteuerung FST bewirkt, indem die positive oder negative Flanke des als Modulus-Control-Signal MC dienenden Ausgangssignals des A-Teilers um eine Periode des Ausgangssignals f_p des Dual-Modulus-Vorteilers V verzögert wird und dieses geänderte Modulus-Control-Signal MC' dem Steuereingang des Dual-Modulus-Vorteilers V zugeführt wird. Bei unverändertem Gesamtteilungsfaktor N' wird das Modulus-Control-Signal MC dagegen unverändert dem Steuereingang des Dual-Modulus-Vorteilers V zugeführt wird.

Mit f_p ist der zeitliche Verlauf des Ausgangssignals des Dual-Modulus-Vorteilers beschrieben. MC und MC' sind im Falle der Sprachübertragung im zeitlichen Verlauf gleich. MC'_{-1} und MC'_{+1} beschreiben den zeitlichen Verlauf bei NRZ-Datenübertragung. Der nebenstehenden Wahrheitstabelle sind die logischen Zustände von D1 und D2 zu entnehmen.

Die in Fig. 4 gezeigten vorteilhaften Ausführungsformen der erfindungsgemäßen Flankensteuerung hat das in Fig. 3 aufgezeigte Verhalten. Ist D1 und D2 log. Null, so wird MC an $\bar{S}1$ und im folgenden an $\bar{S}2$ zweimal negiert und somit nur zeitverzögert als MC' ausgegeben. Ist D1 log. Null und D2 log. Eins, so erscheint MC an Q1 negiert. Da der Rücksetzeingang und der Setzeingang des zweiten Flip-Flops, während MC gleich log. Null, freigegeben ist, wird erst mit der nächsten steigenden Flanke von f_p der Zustand von D2 an MC' ausgegeben. Die fallende Flanke von MC erscheint um eine Periode von f_p verzögert an MC' . Ist D1 log. Eins und D2 log. Null, so erscheint Q1 an MC' negiert. Da der Rücksetzeingang und der Setzeingang, während MC gleich log. Eins, freigegeben ist, wird erst mit der nächsten steigenden Flanke von f_p der Zustand von D1 an Q1 ausgegeben. Da Q1 an MC' invertiert ist, erscheint die steigende Flanke von MC um eine Periode von f_p verzögert an MC' .

Die in Fig. 5 gezeigte Schaltung ist in ihrer Funktion äquivalent zur in Fig. 4 schon besprochenen Schaltung. Insbesondere gelten die in Fig. 3 gezeigten zeitlichen Zusammenhänge.

Ein besonderer Vorteil der Schaltungen in Fig. 4 und 5 besteht darin, daß Standardbausteine, z.B. Dual-D-Flip-Flops der Serie 74 HC 74, verwendet werden können, was eine weitere Kostenersparnis zur Folge hat.

Besonders vorteilhaft ist die Anwendung der Erfindung bei mobilen Funkgeräten, wie z.B. Autotelefonen, sowie in Funksystemen, wie z.B. in Gleichwellenfunknetzen, wenn Sprach- und Datensignale über ein- und denselben Funkkanal übertragen werden sollen.

Es versteht sich, daß die Erfindung mit fachmännischem Können und Wissen aus- und weitergebildet bzw. an die unterschiedlichen Anwendungen angepaßt werden kann, ohne daß dies hier an dieser Stelle näher erläutert werden müßte.

So ist z.B. denkbar, sämtliche Bauteile des erfindungs-

gemäßen Frequenzmodulators, mit Ausnahme des VCO, als integrierte Schaltung zu realisieren.

Weiterhin ist es denkbar, den erfindungsgemäßen Dual-Modulus-Frequenzteiler zusammen mit der Flankensteuerung als gesonderte integrierte Schaltung auszuführen, um diesen IC-Baustein auch in mehreren Anwendungen einsetzen zu können.

Schließlich ist es möglich, zur Änderung des Gesamtteilungsfaktors N' aus mehr als +1 oder -1 (z.B. +2 oder -2 bzw. +100 oder -100 usw.) die positive oder negative Flanke des Modulus-Control-Signals MC um mehr als eine Periode des Ausgangssignals f_p des Dual-Modulus-Vorteilers V zu verzögern.

Schließlich ist es denkbar, anstelle von D-Flip-Flops mit invertierten Setz- und Rücksetzeingängen D-Flip-Flops mit nicht invertierten Setz- und Rücksetzeingängen zu verwenden.

Schließlich ist es denkbar, anstelle von D-Flip-Flops JK-Flip-Flops zu verwenden.

Patentansprüche

1. Frequenzmodulator zur Übertragung von wahlweise NRZ-Datensignalen oder Sprachsignalen mit einem über eine Phasenregelschleife geregelten spannungsgesteuerten Oszillator, welche Phasenregelschleife einen in seinem Teilerverhältnis einstellbaren und aus einem einstellbaren N-Teiler, einem einstellbaren A-Teiler und einem einstellbaren und durch den A-Teiler ansteuerbaren Dual-Modulus-Vorteiler bestehenden Dual-Modulus-Frequenzteiler enthält, dessen Gesamtteilerfaktor in Abhängigkeit von der Art der zu übertragenden Signale veränderlich einstellbar ist, dadurch gekennzeichnet,

— daß der A-Teiler (A) und der N-Teiler (N) seriell ladbare Teiler sind, deren Teilerfaktoren unabhängig von der Art der zu übertragenden Signale sind,

— daß in der Rückführung vom Ausgang des A-Teilers (A) zum Steuereingang des Dual-Modulus-Vorteilers (V) eine Flankensteuerung (FST) vorgesehen ist,

— daß die Flankensteuerung (FST) bei der Übertragung von NRZ-Datensignalen die positive oder die negative Flanke des als Modulus-Control-Signal (MC) dienenden Ausgangssignals des A-Teilers (A) um eine Periode des Ausgangssignals (f_p) des Dual-Modulus-Vorteilers (V) verzögert und dieses geänderte Modulus-Control-Signal (MC') den Steuereingang des Dual-Modulus-Vorteilers (V) zuleitet und bei der Übertragung von Sprachsignalen das Modulus-Control-Signal (MC) unverändert dem Steuereingang des Dual-Modulus-Vorteilers (V) zuleitet.

2. Frequenzmodulator nach Anspruch 1, dadurch gekennzeichnet, daß die Flankensteuerung (FST) mit zwei D-Flip-Flops (DFF1, DFF2) realisiert ist.

3. Frequenzmodulator nach Anspruch 2, dadurch gekennzeichnet,

— daß das Ausgangssignal (f_p) des Dual-Modulus-Vorteilers (V) jeweils dem Clockeingang (C1, C2) der beiden D-Flip-Flops (DFF1, DFF2) zugeführt ist,

— daß das Modulus-Control-Signal (MC) dem invertierten Setzeingang ($\bar{S}1$) des ersten D-Flip-Flops (DFF1) zugeführt ist,

- daß der Ausgang (Q1) des ersten D-Flip-Flops (DFF1) mit dem invertierten Setzeingang (S2) des zweiten D-Flip-Flops (DFF2) verbunden ist,
- daß das bei Übertragung von NRZ-Daten-
signalen mittels der Flankensteuerung (FST) 5
geänderte Modulus-Control-Signal (MC') am
Ausgang (Q2) des zweiten D-Flip-Flops
(DFF2) ausgegeben ist,
- daß die Vorbereitungs-Eingänge (D1, D2) 10
der beiden D-Flip-Flops (DFF1, DFF2) an
Masse liegen,
- daß die Ansteuerung (D1, D2) der Flanken-
steuerung jeweils über den invertierten Rück-
setzeingang (R1, R2) der beiden D-Flip-Flops 15
(DFF1, DFF2) erfolgt.

4. Frequenzmodulator nach Anspruch 2, dadurch gekennzeichnet,

- daß das Ausgangssignal (f_p) des Dual-Modulus-Vorteilers (V) jeweils dem Clockeingang 20
(C1, C2) der beiden D-Flip-Flops (DFF1, DFF2) zugeführt ist,
- daß das Modulus-Control-Signal (MC) dem
invertierten Rücksetzeingang (R1) des ersten
D-Flip-Flops (DFF1) zugeführt ist, 25
- daß der invertierte Ausgang ($\overline{Q1}$) des
ersten D-Flip-Flops (DFF1) mit dem invertierten
Rücksetzeingang ($\overline{R2}$) des zweiten D-Flip-
Flops (DFF2) verbunden ist,
- daß das bei Übertragung von NRZ-Daten- 30
signalen mittels der Flankensteuerung (FST)
geänderte Modulus-Control-Signal (MC') am
invertierten Ausgang (Q2) des zweiten D-Flip-
Flops (DFF2) ausgegeben ist,
- daß die Vorbereitungs-Eingänge (D1, D2) 35
der beiden Flip-Flops (DFF1, DFF2) an log.
Eins liegen,
- daß die Ansteuerung (D1, D2) der Flanken-
steuerung jeweils über die invertierten Setz-
eingänge ($\overline{S1}$, $\overline{S2}$) der beiden D-Flip-Flops 40
(DFF1, DFF2) erfolgt.

5. Frequenzmodulator nach einem der Ansprüche 1 bis 4, gekennzeichnet, durch die Verwendung in Funkgeräten, vorzugsweise mobilen Funkgeräten, insbesondere Autotelefonen, oder in Funksystemen, vorzugsweise Bündelnetzen, insbesondere Gleichwellenfunknetzen, bei denen Sprach- und Datensignale über ein- und denselben Funkkanal übertragen werden.

Hierzu 3 Seite(n) Zeichnungen

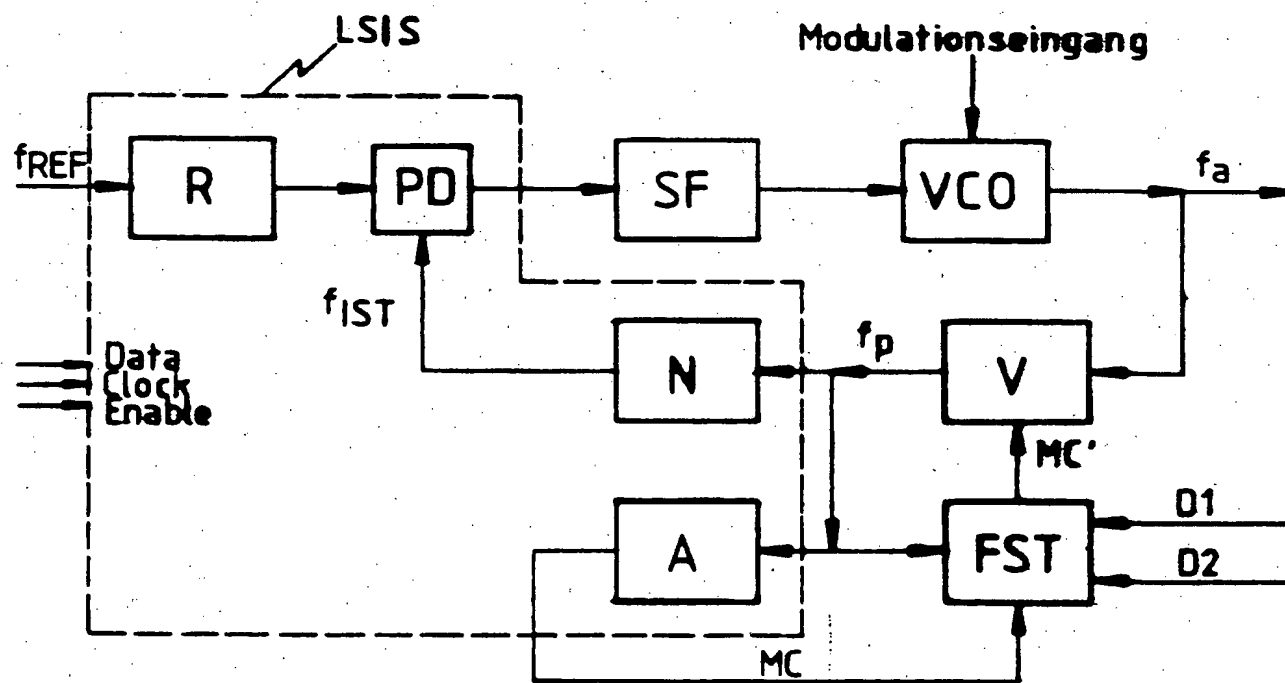
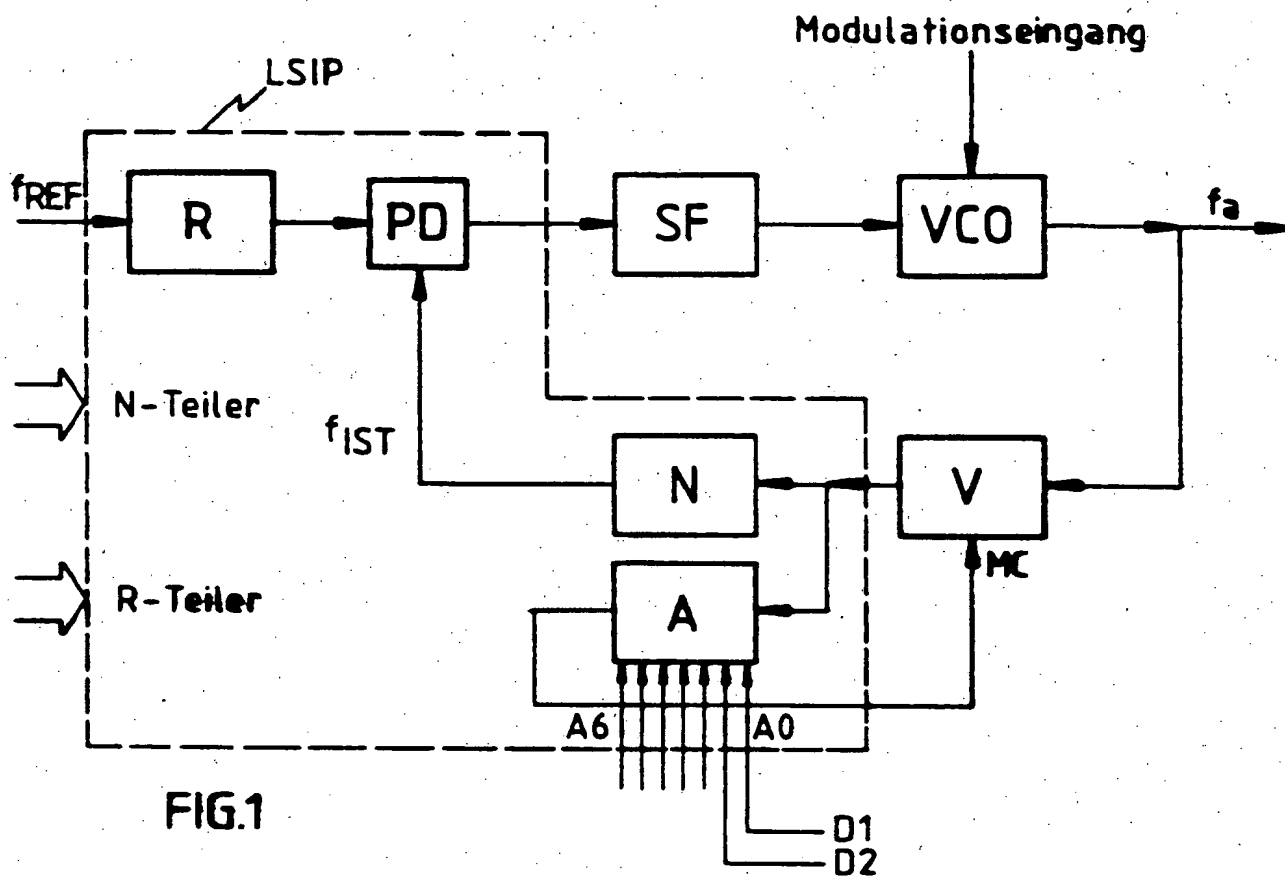
50

55

60

65

- Leerseite -



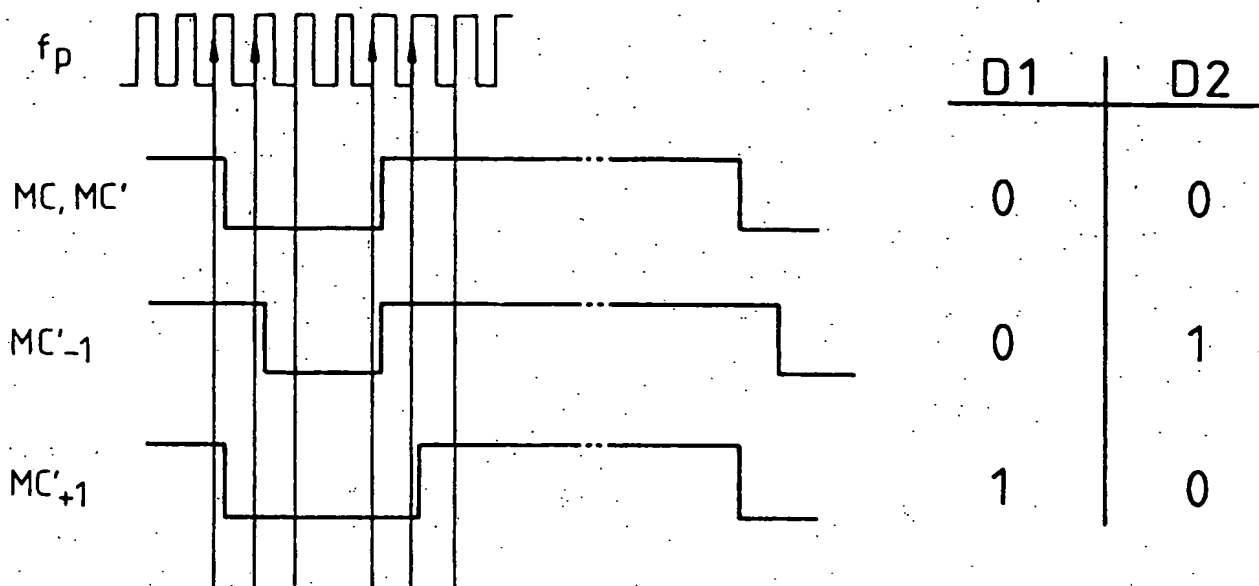


FIG. 3

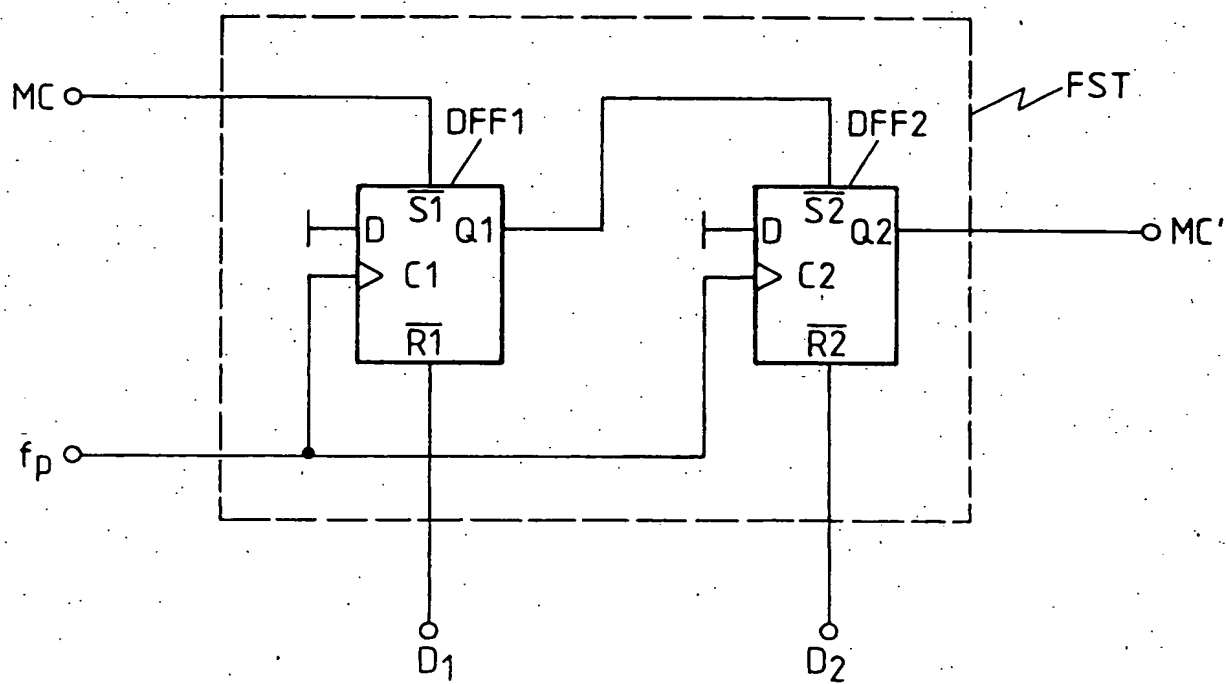


FIG. 4

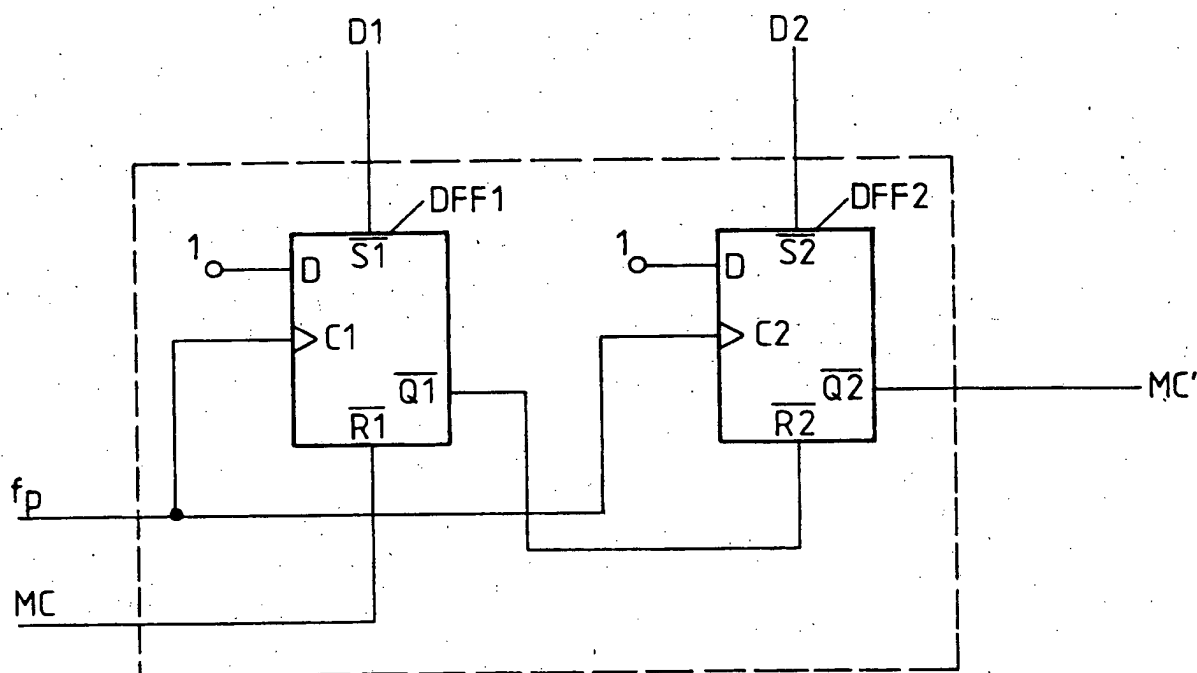


FIG. 5